

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-105336

(43)Date of publication of application : 20.04.1999

(51)Int.Cl.

B41J 2/44
H01S 3/18

(21)Application number : 09-269993

(71)Applicant : CANON INC

(22)Date of filing : 02.10.1997

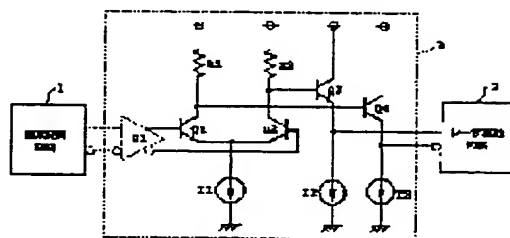
(72)Inventor : EHATA HIRONARI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a laser-driving current correctly corresponding to an output signal of a pixel modulation circuit.

SOLUTION: A pixel modulation circuit 1 outputs signals of a pulse width corresponding to input pixel data. A connection circuit 3 transmits the signals to a laser-driving circuit 2. The laser-driving circuit 2 stably supplies a current corresponding to the pulse width on the basis of the signals from the connection circuit 3 to a semiconductor laser. Since the pixel modulation circuit 1, connection circuit 3 and laser-driving circuit 2 are constituted in one semiconductor integrated circuit, pixel modulation signals are transmitted to the laser-driving circuit 2 inside an IC chip, so that a waveform is prevented from dulling and thinning because of a large capacity adhering to pins of the IC chip.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J.P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-105336

(43) 公開日 平成11年(1999) 4月20日

(51) Int.Cl.⁶

識別記号

F I

B 4 1 J 2/44

B 4 1 J 3/00

D

H 0 1 S 3/18

H 0 1 S 3/18

審査請求 未請求 請求項の数 6 O L (全 5 頁)

(21) 出願番号 特願平9-269993

(22) 出願日 平成9年(1997)10月2日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 江幡 裕也

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

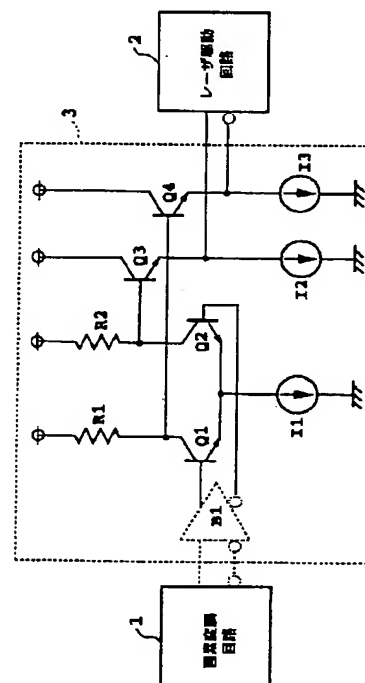
(74) 代理人 弁理士 谷 義一 (外1名)

(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【課題】 画素変調回路の出力信号に正確に対応したレーザ駆動電流を得ること。

【解決手段】 画素変調回路1では入力画素データに応じたパルス幅の信号を出力し、接続回路3においてその信号をレーザ駆動回路2に伝達する。レーザ駆動回路2では接続回路3からの信号を基にそのパルス幅に応じた電流を安定して半導体レーザに供給する。画素変調回路1、接続回路3及びレーザ駆動回路2を1つの半導体集積回路内に構成することで、画素変調信号は1Cチップ内部でレーザ駆動回路2まで伝送されるため、1Cチップのピンに付く大きな容量による波形なまり、波形細りを回避することができる。



【特許請求の範囲】

【請求項 1】 クロック信号に同期して発生する三角波を、前記クロック信号に同期した画素変調データに対応した直流電圧と比較することによりパルス幅変調信号を出力する画素変調手段と、

前記画素変調手段からのパルス幅変調信号を入力し当該パルス幅変調信号に基づいて半導体レーザを駆動するレーザ駆動手段と、

前記画素変調手段から出力されるパルス幅変調信号を前記レーザ駆動手段に伝達するための接続手段とを具えたことを特徴とする半導体集積回路。

【請求項 2】 請求項 1 において、

前記画素変調手段は、前記クロック信号のデューティを再生するデューティ再生手段と、前記デューティの再生されたクロック信号に同期して三角波を発生する三角波発生手段と、前記画素変調データに対応するレベルの直流信号を出力する D/A コンバータと、前記三角波信号と前記 D/A コンバータ出力を比較する比較手段とを有することを特徴とする半導体集積回路。

【請求項 3】 請求項 1 または 2 において、

前記接続手段は、差動増幅回路を含むように構成したことを特徴とする半導体集積回路。

【請求項 4】 請求項 3 において、

前記画素変調手段は、前記パルス変調信号として差動信号を出力し、前記差動増幅回路は、前記画素変調手段からの差動信号を入力するバッファアンプと、該バッファアンプの出力を入力して差動増幅するための 1 対のトランジスタを有することを特徴とする半導体集積回路。

【請求項 5】 請求項 1～4 のいずれかの半導体集積回路は、レーザビームプリンタに適用したことを特徴とする半導体集積回路。

【請求項 6】 請求項 1～4 のいずれかの半導体集積回路は、デジタル複写機に適用したことを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、たとえばレーザビームプリンタなどに用いる半導体集積回路に関する。

【0002】

【従来の技術】 従来、レーザビームを用いて画像出力を行うレーザビームプリンタやデジタル複写機等の画像形成装置は一例として図 4 のような構成となっている。

【0003】 図 4 中、フォトダイオード 41 は、レーザ光源としての半導体レーザ 42 が出力するレーザ光のモニタリングを行う。半導体レーザ 42 はレーザドライバ 44 によって駆動される。光量制御部 43 はモニタされた光量に基づいて半導体レーザ 42 への供給電流を制御し、フォトダイオード 41 からの出力が所定値となるようにレーザドライバ 44 を制御する。光量制御部 43 とレーザドライバ 44 はレーザ駆動回路 2 を構成する。

【0004】 ポリゴンミラー 45 は半導体レーザ 42 から照射されたレーザビーム 1 を偏光するためのものであり、モータ軸に固定されて図中矢印方向への回転を行い、感光ドラム 46 上にビーム 1 を走査する。f- θ レンズ 47 は偏光されたレーザビーム 1 を感光ドラム 46 上に集光するものである。

【0005】 受光ダイオードからなるビームディテクタ 48 はレーザビーム 1 により感光ドラム 46 上の情報書き込み開始位置を検出し、水平同期信号発生回路 49 はビームディテクタ 48 の出力に基づいて水平同期信号 Hsync を発生する。

【0006】 ブランキング回路 50 は、水平同期信号に基づいて、次にビームディテクタ 48 がレーザビーム 1 を検出すべきタイミングで半導体レーザ 42 をオンさせるアンブランキング信号 UNBL を発生し、これをオア回路 51 に供給する。

【0007】 画素変調データ発生源 52 は、水平同期信号 Hsync に同期して画素クロック SCK を発生し、さらに、この画素クロック SCK に同期して例えば 8 ビットで画素階調を表す画素変調データを出力する。

【0008】 画素変調回路 1 は画素変調データ発生源 52 より発生する画素変調データに基づいて、水平同期信号 Hsync に同期して発生された画素クロック SCK に同期してパルス幅変調された信号を発生する。

【0009】 オア回路 51 には画素変調回路 1 から供給されるパルス幅変調された画信号も入力される。オア回路 51 からの出力がレーザドライバ 44 に与えられ、これにより前記光量制御部 43 によって設定された電流が半導体レーザ 42 に供給される。

【0010】 このようなシステムにより階調を表現することで、高精細な画像出力を得ることができる。

【0011】

【発明が解決しようとする課題】 しかしながら、従来では画素変調回路とレーザドライバ及び光量制御回路からなるレーザ駆動回路とはそれぞれ別々の半導体集積回路（以下 IC 回路）内で構成されている。

【0012】 このため画素変調回路の出力パルスは一旦この IC 回路の外に出た後、レーザ駆動回路に入力されることになる。このように画素変調信号はこれら両 IC チップのピンを介して出入力が行われる。しかし、これら IC チップのピンには非常に大きな容量が付いているため、画素変調信号伝送の際に信号波形をなまらせる又は細らせてしまう。また両 IC 間を結ぶ配線にも容量成分がありこれも波形なまり、細りの要因の一つとなる。このように波形なまり又は細りのある信号をレーザ駆動回路に入力すると、半導体レーザの発光量は本来発光させようとしている量とは異なってしまふ。さらに画素変調信号が細いパルスとなった時には、先の現象のために出力パルスがなくなってしまうという問題を発生する。

【0013】 さらに IC 外部に画素変調信号を出力する

ことは、それだけ外部のノイズの影響を受けやすくしてしまうことになる。これは、その出力信号が非常に微細な変化をする画素変調信号にとっては大きな問題となる。

【0014】そこで本発明の目的は、以上のような問題を解消した半導体集積回路を提供することにある。

【0015】

【課題を解決するための手段】上記目的を達成するため、請求項1にかかる発明は、クロック信号に同期して発生する三角波を、前記クロック信号に同期した画素変調データに対応した直流電圧と比較することによりパルス幅変調信号を出力する画素変調手段と、前記画素変調手段からのパルス幅変調信号を入力し当該パルス幅変調信号に基づいて半導体レーザを駆動するレーザ駆動手段と、前記画素変調手段から出力されるパルス幅変調信号を前記レーザ駆動手段に伝達するための接続手段とを具えたことを特徴とする。

【0016】また請求項2にかかる発明は、請求項1において、前記画素変調手段は、前記クロック信号のデューティを再生するデューティ再生手段と、前記デューティの再生されたクロック信号に同期して三角波を発生する三角波発生手段と、前記画素変調データに対応するレベルの直流信号を出力するD/Aコンバータと、前記三角波信号と前記D/Aコンバータ出力を比較する比較手段とを有することを特徴とする。

【0017】さらに請求項3にかかる発明は、請求項1または2において、前記接続手段は、差動増幅回路を含むように構成したことを特徴とする。

【0018】さらに請求項4にかかる発明は、請求項3において、前記画素変調手段は、前記パルス変調信号として差動信号を出力し、前記差動増幅回路は、前記画素変調手段からの差動信号を入力するバッファアンプと、該バッファアンプの出力を入力して差動増幅するための1対のトランジスタを有することを特徴とする。

【0019】さらに請求項5にかかる発明は、請求項1～4のいずれかの半導体集積回路は、レーザビームプリンタに適用したことを特徴とする。

【0020】さらに請求項6にかかる発明は、請求項1～4のいずれかの半導体集積回路は、デジタル複写機に適用したことを特徴とする。

【0021】

【発明の実施の形態】以下図1において本発明の実施形態を説明する。

【0022】図1は半導体集積回路全体をあらわしており、画素変調回路1、レーザ駆動回路2及びこれら両回路を接続する接続回路3からなっており、これらは1つの半導体集積回路内に構成されている。

【0023】図1中、画素変調回路1は、1例として図2の様な構成になっている。図2の画素変調回路は、入力された水平同期信号Hsyncに同期した画素クロッ

クSCKのデューティを再生するデューティ再生回路4、再生されたクロック信号SCK1をもとに三角波信号TRIを発生する三角波発生回路5、入力画素データDvを三角波信号TRIのピーク・ピーク電圧内で直流電圧に変換するD/Aコンバータ6及び三角波信号TRIとD/Aコンバータ出力を比較する比較回路7からなり、比較回路7の出力結果が画素変調信号PWMとなって現れる。ここでは入力画素データは一例として8ビットで構成している。

【0024】図3の(a)に水平同期信号Hsync、(b)に入力画素クロックSCK、(c)に入力画素データDv、(d)にデューティの再生されたクロック信号SCK1、(e)に三角波信号TRI及びD/Aコンバータ出力DAO、(f)に画素変調信号PWMをそれぞれ示す。これによりこの場合は256の階調を持つ画素変調信号を得ることができる。画素変調回路1は、画素変調信号として、差動信号を出力する。この画素変調回路1について詳しくは特開平06-339014号に記載されており、本発明においても画素変調回路1にはこれと同様のものを適用することができる。

【0025】接続回路3は画素変調出力信号をレーザ駆動回路2に伝達するための回路である。この回路はバッファアンプB1、トランジスタQ1～Q4、抵抗R1～R2及び電流源I1～I3からなり、画素変調回路1の(差動)出力信号を差動でレーザ駆動回路2に伝達する。このように接続回路3においては、非反転及び反転信号からなる差動信号のゼロクロス点で信号幅が決定される、差動増幅回路を用いることにより正確な信号幅の画素変調出力信号をレーザ駆動回路2に伝達できる。

【0026】レーザ駆動回路2は、画素変調回路1で発生したパルスを接続回路3を介して入力し、このパルス幅に応じてレーザ駆動電流を発生することで半導体レーザを制御する。このレーザ駆動回路2には光量制御回路(図4参照)も含まれており、この光量制御回路により安定した電流を半導体レーザに供給する。

【0027】画素変調回路1では入力画素データに応じたパルス幅の信号を出力し、接続回路3においてその信号をレーザ駆動回路2に伝達する。レーザ駆動回路2では接続回路3からの信号を基にそのパルス幅に応じた電流を安定して半導体レーザに供給する。

【0028】このように画素変調回路1、接続回路3及びレーザ駆動回路2を1つの半導体集積回路内に構成することで、画素変調信号はICチップ内部でレーザ駆動回路2まで伝送されるため、ICチップのピンに付く大きな容量による波形なまり、波形細りを回避することができる。また、IC外部の配線による波形なまり、波形細りも同様に回避できる。さらにIC外部のノイズ等による外乱からも画素変調信号を保護することができ、正確な画素変調信号でレーザ駆動回路2はレーザ駆動電流を発生し、半導体レーザを駆動できる。

【0029】

【発明の効果】以上説明したように本発明によれば、入力画素データに応じたパルス幅で信号を出力する画素変調回路、入力された信号のパルス幅に応じて安定した電流を半導体レーザに供給するレーザ駆動回路を同一の半導体集積回路内に構成することで、画素変調回路の出力信号に正確に対応したレーザ駆動電流を得る半導体集積回路を容易に構成することができる。

【図面の簡単な説明】

【図1】本発明の実施形態を示すブロック図である。

【図2】本発明の構成要素である画素変調回路の1例を示すブロック図である。

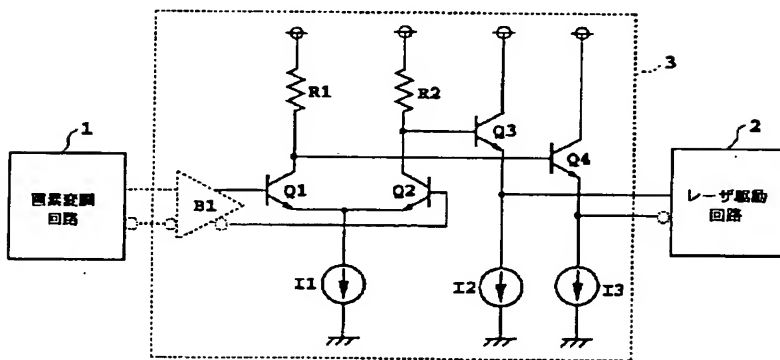
【図3】図2の画素変調回路の動作を説明するタイミング図である。

【図4】画像形成装置の1例を示すシステム構成図である。

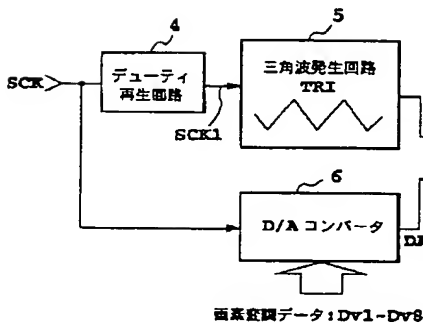
【符号の説明】

- 1 画素変調回路
- 2 レーザ駆動回路
- 3 接続回路
- 4 デューティ再生回路
- 5 三角波発生回路
- 6 D/Aコンバータ
- 7 比較回路

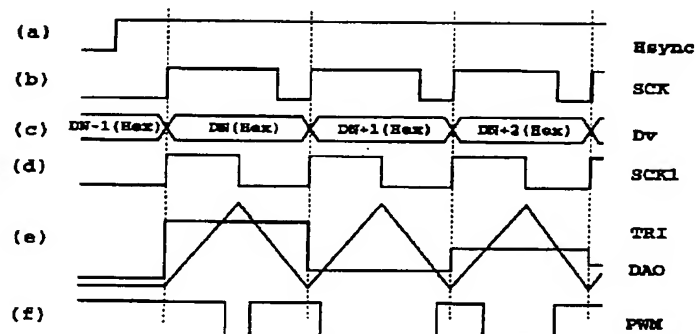
【図1】



【図2】



【図3】



【図 4】

